

CLIPPEDIMAGE= JP408125187A
PAT-NO: JP408125187A
DOCUMENT-IDENTIFIER: JP 08125187 A
TITLE: METHOD AND SYSTEM FOR FABRICATING MOS TYPE SEMICONDUCTOR
DEVICE HAVING
SOI STRUCTURE

PUBN-DATE: May 17, 1996

INVENTOR-INFORMATION:

NAME

IMAI, KAZUO

MIURA, KENJI

AOKI, TAKAHIRO

ASSIGNEE-INFORMATION:

NAME

NIPPON TELEGR & TELEPH CORP <NTT>

COUNTRY

N/A

APPL-NO: JP06258123

APPL-DATE: October 24, 1994

INT-CL_(IPC): H01L029/786; H01L021/336

ABSTRACT:

PURPOSE: To suppress deterioration of the performance of a transistor due to increase in the capacity of gate electrode at the time of formation of a body contact region.

CONSTITUTION: A source region 6 connected with a source electrode 10 and a drain region 7 connected with a drain electrode 11 are formed on a silicon layer 16 overlying an insulation film 15 on the opposite sides of a channel region 9 connected with a body contact region 8. The body contact region 8 is connected with a body contact electrode 12 and a gate electrode 5 is formed through an insulation film 18, thicker than a gate insulation film 4, on the channel region 9 and on a part of the gate insulation film 4 and the body contact region 8.

COPYRIGHT: (C)1996,JPO

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平8-125187

(43)公開日 平成8年(1996)5月17日

(51)IntCl ⁶	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/786 21/336		9056-4M 9056-4M	H 0 1 L 29/ 78	6 2 6 B 6 1 7 S

審査請求 未請求 請求項の数2 OL (全7頁)

(21)出願番号	特願平6-258123	(71)出願人	000004226 日本電信電話株式会社 東京都新宿区西新宿三丁目19番2号
(22)出願日	平成6年(1994)10月24日	(72)発明者	今井 和雄 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(72)発明者	三浦 賢次 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(72)発明者	青木 隆宏 東京都千代田区内幸町1丁目1番6号 日 本電信電話株式会社内
		(74)代理人	弁理士 山川 政樹

(54)【発明の名称】 SOI構造MOS型半導体装置およびその製造方法

(57)【要約】

【目的】 ボディコンタクト領域を設置する場合のゲート電極容量の増加によるトランジスタ性能の低下を抑制する。

【構成】 絶縁膜15上のシリコン層16にチャネル領域9を挟んでソース電極10に接続されたソース領域6とドレイン電極11に接続されたドレイン領域7とが形成され、チャネル領域9に接続してボディコンタクト領域8が形成され、このボディコンタクト領域8にボディコンタクト電極12が接続され、チャネル領域9上にゲート絶縁膜4およびボディコンタクト領域8の一部にゲート絶縁膜4より厚さの厚い絶縁膜18を介してゲート電極5が形成されている。

